

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-055895

(43)Date of publication of application : 03.03.1995

(51)Int.Cl. G01R 31/3183  
G01R 31/28

(21)Application number : 05-198203

(71)Applicant : FUJITSU LTD

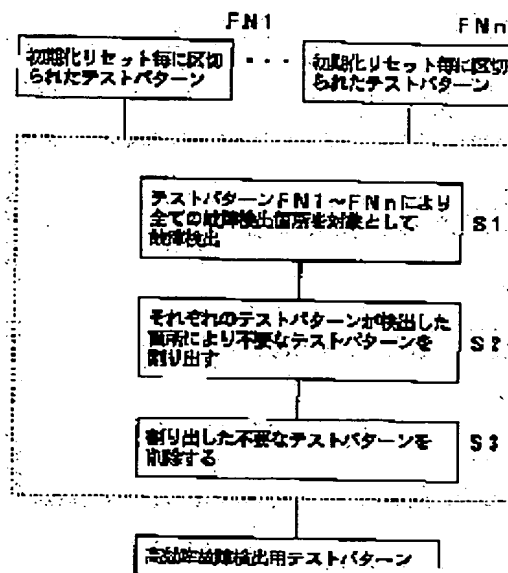
(22)Date of filing : 10.08.1993

(72)Inventor : DEGUCHI CHIKAHIRO

**(54) METHOD FOR CREATING TEST PATTERN FOR HIGHLY EFFICIENT FAILURE DETECTION****(57)Abstract:**

**PURPOSE:** To reduce simulation time and the amount of data by reducing the number of test patterns for detecting failure efficiently without reducing a failure detection rate when generating the test patterns for detecting a failed part of an LSI.

**CONSTITUTION:** Failure is detected for all failure detection parts for each of test patterns FN1-Fnn which are sectioned for each pattern by an initialization reset signal, etc., for initializing the sequential circuit inside an LSI. Then, an unneeded test pattern is found based on the part which is detected by each test pattern, the indexed unneeded test pattern is deleted, and the number of test patterns for detecting failure is reduced, thus creating a test pattern for detecting failure efficiently. A meaningless test pattern can be detected and deleted, thus reducing the number of test patterns efficiently.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-55895

(43) 公開日 平成7年(1995)3月3日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 1 R 31/3183				
31/28		6912-2G	G 0 1 R 31/ 28	Q
		6912-2G		F

審査請求 未請求 請求項の数 1 O L (全 7 頁)

(21) 出願番号 特願平5-198203

(22) 出願日 平成5年(1993)8月10日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 出口 千佳広

神奈川県横浜市中区本町4丁目36番地 株

式会社富士通コンピュータテクノロジ内

(74) 代理人 弁理士 京谷 四郎

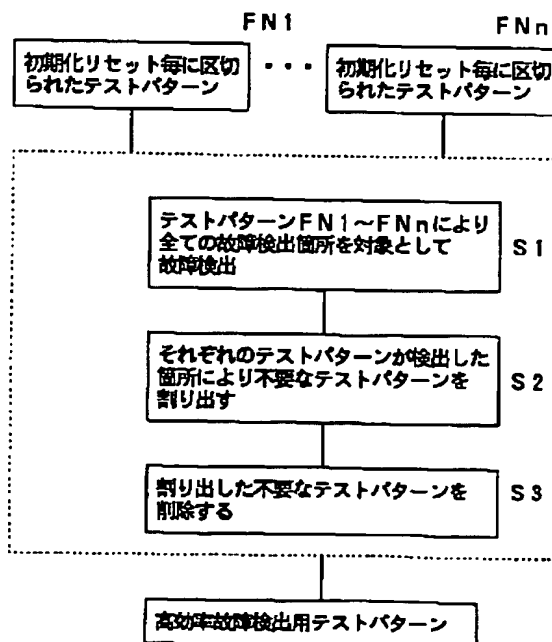
(54) 【発明の名称】 高効率故障検出用テストパターンの作成方法

(57) 【要約】

【目的】 L S I の故障箇所を検出する故障検出用テストパターンの生成において、故障検出率を低下させることなく、効率的に故障検出用のテストパターンの数を削減し、シミュレーションの時間の短縮、データ量の減少を図ること。

【構成】 L S I 内部の順序回路を初期化する初期化リセット信号等によりパターン毎に区切られたテストパターン F N 1 ~ F N n の個々について、全ての故障検出箇所を対象として故障検出を行う ( S 1 ) 。そして、それぞれのテストパターンが検出した箇所に基づき不要なテストパターンを割り出し ( S 2 ) 、割り出した不要なテストパターンを削除し ( S 3 ) 、故障検出用テストパターンの数を削減させ、高効率故障検出用テストパターンを作成する。無意味となるテストパターンを検出して削除することかができるので、効率良くテストパターン数を削減させることができる。

本発明の原理図



1

## 【特許請求の範囲】

【請求項1】 L S I 内部の故障箇所を検出する故障検出用テストパターンの作成方法において、  
L S I 内部の順序回路を初期化する初期化リセット信号等によりパターン毎に区切られたテストパターン(FN1～FNn)の個々について、  
全ての故障検出箇所を対象にして故障検出を行い(S1)、  
それぞれのテストパターンが検出した箇所に基き不要なテストパターンを割り出し(S2)、  
割り出した不要なテストパターンを削除する(S3)ことにより、故障検出用テストパターンの数を削減させることを特徴とする高効率故障検出用テストパターンの作成方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、L S I の故障検出を行うテストパターンの作成方法に関し、特に本発明は、故障検出率を低下させることなくテストパターンの数を削減することができる高効率な故障検出用テストパターンの作成方法に関するものである。

【0002】

【従来の技術】図6は本発明の前提となるL S I 故障検出シミュレータの構成を示す図であり、1はテストパターンを生成するテストパターン生成部、2は故障検出を行うL S I をシミュレーションするL S I シミュレータ、3はシミュレーション結果ファイルであり、シミュレーション結果ファイル3にはテストパターンをL S I シミュレータ2に印加したときに得られた出力パターンの判定結果が格納されている。4はテストパターン判定部であり、テストパターン判定部4は、シミュレーション結果ファイル3を参照してL S I シミュレータ2の出力パターンに基づき、L S I の故障検出結果を判定する。

【0003】図7は上記したテストパターン生成回路が生成するテストパターンの一例を示す図であり、同図において、「RESET」はL S I 内部のフリップフロップを初期化する初期化リセット信号、「パターンA」、「パターンB」、…、はL S I の各端子に印加するテストパターン、「FF」はL S I 内のフリップフロップの状態の一例を示している。

【0004】図8は故障検出テストパターンと故障検出箇所を示す図であり、FN1～FN7は初期化リセット毎に区切られたテストパターンのテスト名、括弧内はそのテストにおけるパターン数を示し、また、a～mは故障検出対象箇所である。同図はFN1のテストで50パターンのテストパターンを与えることによりb、d、eの故障検出対象箇所を検出でき、テスト名FN2のテストで50パターンのテストパターンを与えることによりd、f、iの故障検出対象箇所を検出でき、以下同様にFN3～FN7のテストパターンを与えることにより

2

a、b、d、e、f、g、h、i、j、kの各故障検出対象箇所を検出できたことを示している。

【0005】図6において、テストパターン生成部1は、図7に示すように、L S I が内蔵するフリップフロップの初期化リセット毎にパターンA、パターンB、…、のテストデータを生成し、L S I シミュレータ2に印加する。例えば、図8に示すように、テストパターン生成部1はFN1のテストで50パターンのテストパターンを生成して、L S I シミュレータ2に与える。

10 【0006】L S I シミュレータ2はテストパターン生成部1が出力するテストパターンに応じて、出力パターンを発生する。L S I シミュレータ2が出力する出力パターンはテストパターン判定部4に与えられ、テストパターン判定部4は前記したようにシミュレーション結果ファイル3を参照して、L S I の故障検出結果を判定する。

20 【0007】図8のテスト名FN1のテストにおいては、テストパターン判定部4はシミュレーション結果ファイル3を参照して、b、d、eの故障検出箇所の検出を確認する。

【0008】

【発明が解決しようとする課題】ところで、上記した従来技術においては、テストパターン生成部1が出力する故障検出用のテストパターンの数を効率的に削減する方法は特になく、例えば、新たな故障箇所を検出するために追加された追加故障検出用のパターンが事実上有効でなかった場合に、そのパターンを削除する程度であった。

30 【0009】このため、故障検出用のテストパターンを追加作成していく過程で、あとから効率のよいテストパターンが作成された場合、結果的に最初や途中で作成したテストパターンが無意味となってしまう場合があった。その結果、必要以上にテストパターンが長大となってしまう、シミュレーションの時間の増大や、データ量の増加などの問題を生じていた。

40 【0010】本発明は上記した従来の問題点を解決するためになされたものであって、故障検出率を低下させることなく、効率的に故障検出用のテストパターンの数を削減でき、シミュレーションの時間の短縮、データ量の減少を図ることができる高効率故障検出用テストパターンの作成方法を提供することを目的とする。

【0011】

【課題を解決するための手段】図1は本発明の原理図である。上記課題を解決するため、本発明は同図に示すように、L S I 内部の故障箇所を検出する故障検出用テストパターンの作成方法において、L S I 内部の順序回路を初期化する初期化リセット信号等によりパターン毎に区切られたテストパターンFN1～FNnの個々について、全ての故障検出箇所を対象にして故障検出を行い(S1)、それぞれのテストパターンが検出した箇所に

3

基づき不要なテストパターンを割り出し (S2)、割り出した不要なテストパターンを削除する (S3) ことにより、故障検出用テストパターンの数を削減させ、高効率故障検出用テストパターンを作成するようにしたものである。

【0012】

【作用】本発明は上記のように、LSI内部の順序回路を初期化する初期化リセット信号等によりパターン毎に区切られたテストパターンFN1～FNnの個々について、全ての故障検出箇所を対象にして故障検出を行い

(S1)、それぞれのテストパターンが検出した箇所に  
10 基づき不要なテストパターンを割り出し (S2)、割り出した不要なテストパターンを削除する (S3) ことにより、高効率故障検出用テストパターンを作成するようにしたので、無意味となるテストパターンを検出して削除することができ、効率良くテストパターン数を削減させることができる。このため、シミュレーション時間を短縮することができるとともに、データ量を削減することが可能となる。

【0013】

【実施例】図2は本発明の実施例のLSI故障検出シミュレータの構成を示す図であり、図6に示したものと同一のものには同一の符号が付されており、1はテストパターンを生成するテストパターン生成部、2はLSIシミュレータ、3はシミュレーション結果ファイル、4は  
20 テストパターン判定部である。

【0014】5はテストパターン選択部、6は高効率テストパターン格納ファイルであり、テストパターン選択部5はテストパターン判定部3の判定結果に基づき、テストパターンの内有効なテストデータを選択する。また、テストパターン選択部5により選択された故障検出用テストパターンは高効率テストパターン格納ファイル6に格納される。そして、高効率テストパターン格納ファイル6に格納された高効率故障検出用テストパターンによりLSIのテストが行われる。

【0015】図3は上記したテストパターン選択部5における処理を示すフローチャートである。本実施例においては、以下に説明するように、最初にLSIの本来の機能をテストする機能パターン（削除すべきでないパターン）で故障検出を行い、機能パターンで検出できた箇所は対象外として、残った箇所を故障検出対象箇所とする。次に、故障検出箇所を初期化リセット毎に区切り、それぞれのテストパターンが検出した故障検出対象箇所を調べることに  
40 により、有効なパターンと無効なパターンに振り分け、パターン数を削減していく。そして、最終的に残ったパターンを高効率テストパターン格納ファイル6に格納する。

【0016】図4、図5は故障検出用テストパターンの有効／無効の判定を示す図であり、前記した図8および図3、図4、図5を参照して本発明の実施例を説明す  
50

4

る。図3のステップS1において、まず、機能パターンで故障検出を行う。そして、故障検出可能箇所のうち、機能パターンで検出できた箇所は対象外とし、残った箇所を故障検出対象箇所とする。

【0017】ここで、仮に故障検出箇所がa～zの26箇所であり、上記ステップS1において、機能パターンによりn～zの13箇所の故障検出箇所が検出され、残ったa～mの13箇所が故障検出対象箇所であるとする。また、故障検出用パターンを初期化リセット毎に区切り、区切られたテストパターンを前記した図8に示すFN1～FN7とし、それぞれのテストパターンでa～mの故障検出対象箇所に対して故障検出を行うものとする。

【0018】ステップS2において、故障検出テストパターンを初期化リセット毎に区切り、区切られたそれぞれのテストパターンが検出した故障検出対象箇所を調べる。そして、どのテストパターンにも検出されなかった故障箇所は対象外とする。上記処理により、図8に示す○印の箇所が各テストパターンにより故障検出できた箇所とする。ここで、c、g、l、mはどのテストパターンにも検出されていないので対象外とする。

【0019】図3のステップS3において、故障検出対象箇所を一つも検出できなかったパターンがあるかを調べる。そして、故障検出対象箇所を一つも検出できなかったパターンがある場合には、ステップS4に行き、そのパターンを無効とし、ステップS5に行く。図8の例においては、テストパターンFN4が一つも故障検出対象箇所を検出できないので無効となる。

【0020】ステップS3において、故障検出対象箇所を一つも検出できなかったパターンがない場合には、ステップS5に行き、故障検出対象箇所のうち、たった一つのテストパターンのみに故障検出された箇所があるかを調べる。そして、たった一つのテストパターンのみに故障検出された箇所がある場合には、ステップS6に行き、その箇所を検出したテストパターンは有効とする。また、故障検出対象箇所の内、有効なテストパターンで検出できた箇所は対象外して、残った箇所を故障検出対象箇所とし、ステップS3に戻り、上記処理を繰り返す。

【0021】ステップS5において、故障検出対象箇所のうち、たった一つのテストパターンのみに故障検出された箇所がない場合には、ステップS7に行き、全てのテストパターンが有効なテストパターンと無効なテストパターンに別れたかを調べる。別れた場合には、次のステップS9に行き、別れていない場合には、ステップS8に行く。ステップS8において、残ったテストパターンの内、最もパターン数の短いテストパターン（二つある場合は何方か一方、例えば最初に作成された方のパターン）を有効とし、そのテストパターンで検出できた箇所は対象外とし、残った箇所を故障検出対象箇所とし、

5

ステップS3に行き上記処理を繰り返す。

【0022】図8の例において、故障検出対象箇所aについてはテストパターンFN7のみが検出し、故障検出対象箇所hについてはテストパターンFN5のみが検出している。図4に示すようにテストパターンFN5、FN7は有効となる。また、テストパターンFN5、FN7が検出したa、b、d、e、f、h、iは対象外となるので、図4に示すように故障検出対象箇所はj、kとなる。

【0023】そして、残ったテストパターンFN1、FN2、FN3、FN6の内、FN1とFN2は図4から明らかなように、故障検出箇所が一つもないパターンであり、テストパターンFN1、FN2は無効となる。残った、故障検出対象箇所j、kの内、たった一つのテストパターンのみに検出された箇所はなく、また、テストパターンFN3、FN6がまだ残っている。

【0024】そこで、テストパターンFN3とFN6のパターン数を較べると、FN3が30パターンで短いので、FN3を有効とし、そのパターンで検出している故障検出対象箇所j、kは対象外とする。以上のような処理により図5に示すように、テストパターンFN6を残して全てのパターンが有効なパターンと無効なパターンに別れる。

【0025】ここで、残ったテストパターンFN6は故障検出箇所をひとつも検出していないので、テストパターンFN6を無効とする。その結果、全てのテストパターンが有効なパターンと無効なパターンに別れたので、ステップS9において、無効なテストパターンを削除して有効なテストパターンだけを一つにまとめて終了する。

【0026】図8、図4、図5の場合には、テストパターンFN3、FN5、FN7が有効となるので一つにまとめて終了する。

【0027】

【発明の効果】以上説明したように、本発明においては、LSI内部の順序回路を初期化する初期化リセット信号等によりパターン毎に区切られたテストパターンの

6

個々について、全ての故障検出箇所を対象にして故障検出を行い、それぞれのテストパターンが検出した箇所に基づき不要なテストパターンを割り出し、割り出した不要なテストパターンを削除することにより、高効率故障検出用テストパターンを作成するようにしたので、無意味となるテストパターンを検出して削除することができ、効率良くテストパターン数を削減させることが可能となる。このため、保存すべきデータ量を削減することができる。また、シミュレーション時間の短縮にもつながるので、ちょっとした回路修正の度に必要以上に長大なテストパターンを流す必要がなくなり、リメイク時に早急に対応することができる。

【図面の簡単な説明】

【図1】本発明の原理図である。

【図2】本発明の実施例のLSI故障検出シミュレータの構成を示す図である。

【図3】本発明の実施例の処理を示すフローチャートである。

【図4】故障検出用テストパターンの有効/無効の判定を示す図である。

【図5】故障検出用テストパターンの有効/無効の判定を示す図である。

【図6】本発明の前提となるLSI故障検出シミュレータの構成を示す図である。

【図7】テストパターンの一例を示す図である。

【図8】故障検出テストパターンと故障検出箇所を示す図である。

【符号の説明】

1	テストパターン生成部
2	LSIシミュレータ
3	シミュレーション結果ファイル
4	テストパターン判定部
5	テストパターン選択部
6	高効率テストパターン格納ファイル
FN1～FNn	テストパターン

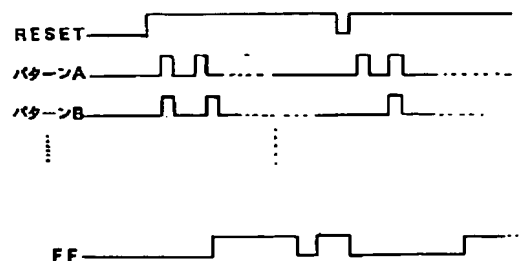
【図5】

故障検出用テストパターンの有効/無効の判定を示す図

パタ名(パターン数)	a	b	c	d	e	f	g	h	i	j	k
無 FN1 (50P)											
無 FN2 (50P)											
有 FN3 (30P)											
無 FN4 (20P)											
有 FN5 (20P)											
無 FN6 (40P)											
有 FN7 (50P)											

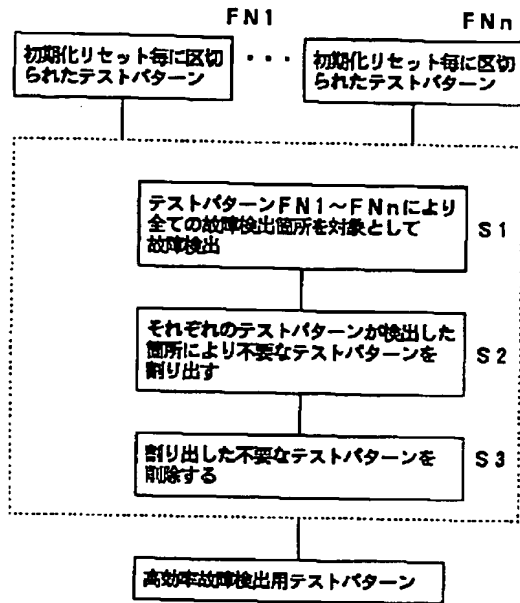
【図7】

テストパターンの一例を示す図



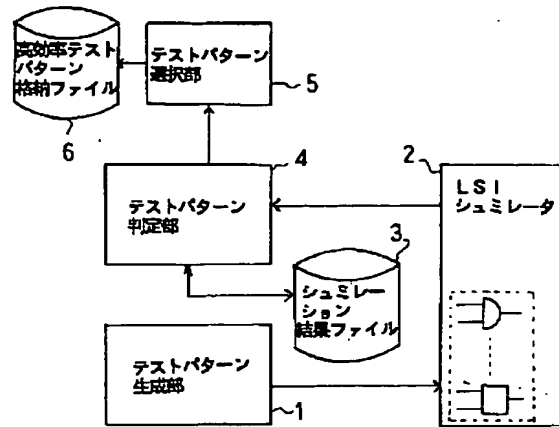
【図1】

本発明の原理図



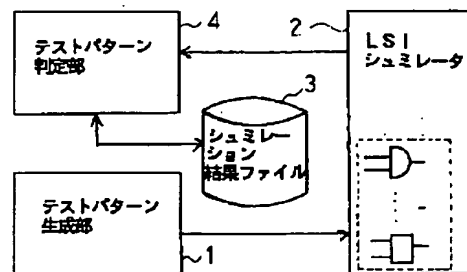
【図2】

本発明の実施例のLSI故障検出シミュレータの構成を示す図



【図6】

本発明の前提となるLSI故障検出シミュレータの構成を示す図



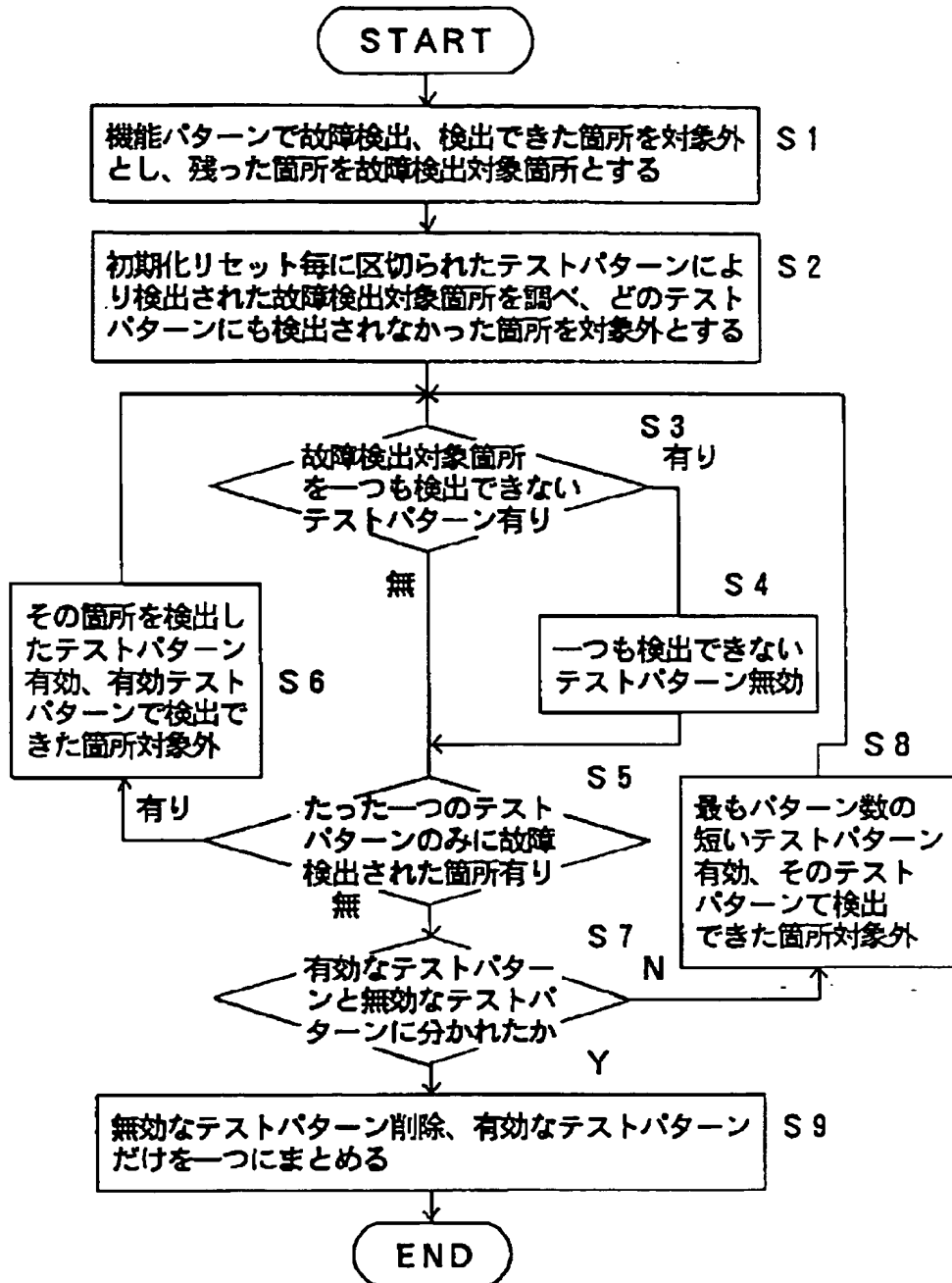
【図4】

故障検出用テストパターンの有効/無効の判定を示す図

Pat 名(ルゲ数)	a	b	c	d	e	f	g	h	i	k	n
FN1 (50P)		○		○	○						
FN2 (50P)				○	○				○		
FN3 (20P)		○								○	○
FN4 (20P)											
FN5 (20P)				○	○			○			
FN6 (40P)					○					○	○
FN7 (50P)	○	○	○	○	○				○		

【図3】

本発明の実施例の処理を示すフローチャート



【図8】

故障検出テストパターンと故障検出箇所を示す図

テスト名(ルック数)	a	b	c	d	e	f	g	h	i	j	k	l	m
FN1 (50P)		○		○	○								
FN2 (50P)				○		○			○				
FN3 (30P)		○								○	○		
FN4 (20P)													
FN5 (20P)				○	○			○					
FN6 (40P)					○					○	○		
FN7 (50P)	○	○		○		○			○				